

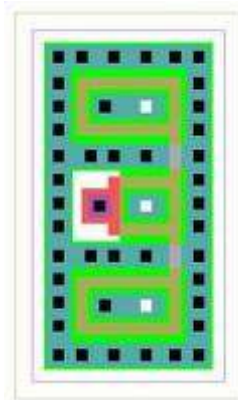
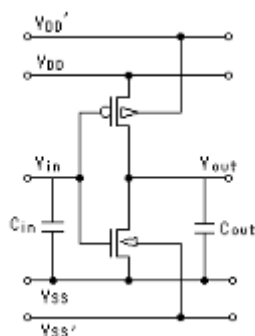


## CMOS 集積回路のトランジスタ幅が可変となる標準セル構造の研究

キーワード CMOS 集積回路, 標準セル, 基板バイアス, 閾値電圧

**研究内容の概要：** 静的な基板バイアス [ $V_{DD}'(>V_{DD})$ ,  $V_{SS}'(<V_{SS})$ ] を印加して, ソース端子が電源電圧  $V_{DD}$  及び接地電圧  $V_{SS}$  に直接接続する全てのプルアップ／プルダウン・トランジスタを高い閾値電圧にし, 低い閾値電圧を持つ PMOS トランジスタの基板である  $n$  ウエルを作成しない, 静的基板バイアス印加ドミノ CMOS (SSDCMOS) 集積回路を開発しました。通常の  $n$  ウエルを無くすることにより, 大幅に回路面積が減ります。またそのトランジスタ幅を負荷状況にあわせて容易に変え得るような標準セルのレイアウト構造を考案し, 低消費電力な CMOS 集積回路の標準セルを実現しました。【CMOS: 相補的な金属酸化膜半導体】

### 可変なトランジスタ幅を持つ標準セルのレイアウト図



特長／効果

- $n$  ウエルを無くし, 3種類の閾値電圧で CMOS 回路が動作
- ドレイン接合容量を最小化し, また, 電源電圧を安定化
- $V_{DD}$  と  $V_{DD}'$  の分離による  $n'$  ウエル負荷の軽減で, 電源立上げ容易
- 低い閾値電圧の  $n$  チャネル MOSFET による論理動作高速化

利用／用途

- 配線 RC 負荷に合わせたトランジスタ幅で最適な駆動能力を付与
- 必要最小限の駆動能力のトランジスタ幅による低消費電力化<sup>06-012</sup>
- 高い閾値電圧ペアによる定常状態における低消費電力化
- 標準セルのレイアウト設計を自動化に導くレイアウト構造

#### 知的財産権等情報

特許出願 特願 平成 11-350529

論文等 英文 1 編, 和文 5 編, 計 6 編

生物理工学部

電子システム情報工学科

秋濃 俊郎

<http://www.waka.kindai.ac.jp/tea/info/>

連絡先: 近畿大学 リエゾンセンター(KLC)

〒577-8502 大阪府東大阪市小若江 3-4-1

TEL: 06-6721-2332 FAX: 06-6722-0300

e-mail: [klc@itp.kindai.ac.jp](mailto:klc@itp.kindai.ac.jp) URL: <http://ccpc01.cc.kindai.ac.jp/KLC/index.html>