

論文内容の要旨

氏名	ウ ヲ つかおん そん だお Vu Truong Son Dao
学位の種類	博士(工学)
学位記番号	工第184号
学位授与の日付	平成22年3月23日
学位授与の要件	学位規程第4条第1項該当
学位論文題目	1億枚/秒のCCD撮像素子の設計 Design of a CCD image sensor operating at 100 Mega fps
論文審査委員(主査)	教授 江 藤 剛 治
(副主査)	教授 向 井 苑 生
(副主査)	教授 林 光 澤
(副査)	教授 秋 濃 俊 郎

1億枚/秒のCCD撮像素子の設計

超高速撮影は動的現象の研究に欠くべからざるものとなっている。このような現象としてはショックウエーブ、液滴や気泡、亀裂形成、神経システムの活動等がある。しかし既存のCCD(電荷結合素子)やCMOSによる並列読み出し・部分読み出し高速ビデオカメラでは10,000コマ/秒を超える時間分解能を達成することは困難である。これは撮像素子から画像信号を読み出す速度に限界があるからである。

近畿大学の江藤教授は特殊な構造の撮像素子を発明した。この撮像素子は全ての画素について、受光部に隣接する線形CCDメモリーを備えている。このCCDメモリーを各画素のローカルメモリーとして使う。したがってこの撮像素子は「画素周辺記録型撮像素子(ISIS: In-situ Storage Image Sensor)」と呼ばれている。最初に開発されたISISはISIS-V2と名付けられた。連続103コマの映像を100万コマ/秒の速度で撮影することができた。しかしながら開発後すぐ、ISIS-V2の感度は蛍光顕微鏡撮影や透過型電子顕微鏡(TEM)による超高速撮影では感度が全く足りないことがわかった。

本論文では、超高速であるばかりでなく、超高感度の両方を同時に達成する新しい撮像素子を提案すること。我々はこの撮像素子をISIS-100Mと名付けることにした。命名は目標最高撮影速度100 M fps(1億コマ/秒)に由来する。シミュレーションベースではこの撮影速度を達成可能であることが示された。

理論的には100 Mfpsを達成可能であるが、実際に達成するためには様々の大きな障壁を超えなければならない。例えば撮像素子を超高速駆動するための電圧送付時におけるRC遅れ、大きな電磁ノイズ、電荷の不完全転送等々である。本論文ではこれらの問題の一つ一つを解決するための革新的な技術を提案する。それらの効果は以下のよう要約される。

(1) 大規模CCDのRC遅れの評価技術

ISISの最高撮影速度は最も大きなRC遅れを持つゲートの駆動速度によって支配される。したがって実際に100 Mfpsを達成するには、駆動電圧を送付するための金属配線をRC遅れについて最適化(均等化)する技術が必要である。このためにはSPICEのような標準的な電子回路シミュレーションツールを使うことができる。これによりかなり正確な結果を得ることができるが、実際の超高速撮像素子のような大きな電子回路モデルのシミュレーションを行うには長時間を要する。とくに最適化のためには多数回の試行を必要とする。

本論文では、ISISの基本回路への分解と、単純なモデルへの組み上げを行うことにより、RC遅れを評価するための簡単な完結型の式を得た。この式は実用的に見て十分な精度を持ち、かつ陽形式である。したがって設計した素子の各要素がRC遅れに及ぼす影響について良い見通しを与える。

この式を用いてISIS-100Mの金属配線の最適化を行った。この結果、RC遅れに限れば、ISIS-100Mは1億コマ/秒を達成できることが示された。

(2) 高速CCD撮像素子のインダクタンスの低減技術

ISIS-100Mの金属配線の設計においてはインダクタンスLも重要であり、最早無視できないことを指摘した。これは浮遊抵抗のうち、抵抗Rが低く抑えられたために、電磁誘導抵抗 ωL が相対的に高くなったからである。

ISIS-100MのRC遅れだけを考慮して最適化した内部バスラインの電磁リアクタンス ωL をシミュレーションにより評価したところ、 $\omega L = R$ となる周波数(Cross-over周波数)はわずかに15 MHzであった。インダクタンスはインピーダンスを上げるだけで

なく、電磁ノイズの原因となる。したがって $\omega L = 0.1R$ となる周波数を設計基準に取ると、それに対する周波数は2 MHzであることがわかった。すなわちISIS-100Mを2相駆動で駆動するときの撮影速度はわずかに200万コマ/秒となる。

インダクタンスを減らすには、駆動電圧を差動方式で送付すれば良い。CCDの駆動方式のうち、2相駆動と4相駆動（ただしデューティ比が1:1の場合）は、厳密に逆位相電圧の組み合わせで駆動することができる。このときこの一組の駆動電圧を送付するための配線を通る電流は、常に絶対値が等しく、方向が逆である。この一組の電圧を送付するための内部バスラインを、縦に2層に重ねることにより、インダクタンスは1/50に激減することを示した。これによりインダクタンスを考慮する場合でも1億コマ/秒（200万コマ/秒 \times 50）を達成できることを示した。

この駆動電圧送付方式を「CCD固有の相補型インダクタンス最小化技術」と名づけた。

さらに、CCD型のISISにおいて、奇数行と偶数行画素で交互に撮影する場合は、ほとんどのCCDの駆動方式に対して相補型インダクタンス最小化技術が適用できることを指摘した。これによりみかけの撮影速度と連続撮影枚数が2倍となる。

(3) 各画素における信号電子の移動速度の高速化技術

次の部分では、ISIS-100Mの各画素において、裏面に入射した光によって発生する信号電子を、表面のCCDメモリーに移送する速度の高速化技術について述べている。CCDメモリーをいくら高速で駆動しても、フレームインタバル内に信号電子をメモリー領域に集めることができなければ高速撮影はできない。

(a) 厚い濃度勾配を持つ2重エピ層を持つウエーブ

この技術は様々な有用な特性を持つ裏面照射撮像素子（BSI Image Sensor: Backside Illuminated Image Sensor）の開発を可能にする。すなわちBSIセンサーに固有の高感度化に加えて超高速の達成にも寄与する。裏面で発生した信号電荷の表面側の電荷収集ゲートへの垂直方向の移送を高速化する。

(b) 3層のp-well構造

水平方向の信号電荷の電荷収集ゲートへの高速移送のために、革新的な3層p-well構造を導入した。これにより電荷収集ゲートに向うスムーズな電界を生成することができた。このp-wellはまた、信号電荷が直接メモリーCCDに迷入することを防ぐ。

(c) マイクロレンズアレイの効果

通常マイクロレンズアレイは、見かけ上の開口率を上げるために使われる。もともと開口率が100%のBSI-ISISにおいては、画素分離と、水平方向の移送速度増大のために役立つ。ISIS-100Mにおいて、マイクロレンズアレイにより集光面積率を20%にすると、信号電子の移送速度という点からは、撮影速度を200 Mfps（2億コマ/秒）にまで上げることができる。

(4) 次世代研究開発への提案

最後に、次のステップに向けた究極の超高速ビデオカメラ用撮像素子について提案している。

(a) Hybrid CCD/CMOS ISIS

CMOSプロセスの微細化により、CMOSプロセスで比較的簡単にCCDが作れるようになった。これにより高画質の画素内CCDメモリーを持ち、素子からの読み出しをフレキシブルなCMOSとするHybrid CCD/CMOS ISISを作ることができる。これにより超高速のCCD-ISISと従来の並列・部分読み出しCMOS超高速ビデオカメラの両方の長所を併せ持つ超高速撮像素子を作ることができる。

(b) 信号積算型超高速撮像素子

超高速撮影では入射光量の不足のために撮影が困難になることが多い。撮影対象現象が再現性を持つ場合には繰り返し実験によりSN比を上げることができる。撮像素子内で信号電荷を積算することができれば、1回1回の信号読み出しに伴う読み出し雑音の影響を受けることがない。また読み出し時間を省いて繰り返し実験の効率を上げることができる。CCD-ISISの構造とこのような積算機能を併せ持つ撮像素子を提案した。名称をISAS (Image Signal Accumulation Sensor) とした。

(c) 撮像素子内蔵画像トリガー

超高速ビデオ撮影では撮影対象現象と撮影タイミングを合わせることが課題の一つとなる。この問題を解決するために、これまで開発したISISにおいては連続上書き記録機能を導入し、連続撮影中に撮影対象が生じたことを示すトリガー信号を受けて、撮影を停止し、撮像素子内に記録されている画像信号を過去にさかのぼって読み出し、連続画像として再生することができるようにしている。これまでは、現象が生じた際の音（破裂音、衝突音等）や、レーザービームの遮断等を検出して撮影停止トリガー信号を出していた。しかし顕微鏡下の撮影等においては現象の生起を検出するための適切な現象を見出すのが難しい場合が多い。

本論文では受光面を4ブロックに分け、各ブロックの全受光量の5%で発生する全電荷を時々刻々、4つの端子から別々に、撮像素子外に一斉に排出する構造を導入している。この電荷をモニタリングすれば、4ブロックの受光面のいずれかで急激な変化が生じたときの平均輝度の変化を瞬時に検出することができる。これまでは、カメラシステムとは別に撮影停止トリガー信号システムを備えることが必要であった。撮像素子内蔵画像トリガーの導入により、撮影システムが簡素化できる。

以上のように、本論文では、最高撮影速度1億枚/秒のビデオカメラ用撮像素子を実現する上での様々な課題を抽出し、それらの各々について解決の方法を示している。さらに超高速のみならず、高感度化や、超高速ビデオ撮影における機能性を高めるためのいくつかの技術を新たに開発し、示している。

論文審査結果の要旨

本論文では、最高撮影速度1億枚/秒のビデオカメラ用撮像素子を実現する上での様々の課題を抽出し、それらの各々について解決の方法を示している。さらに超高速速度のみならず、高感度化や、超高速ビデオ撮影における機能性を高めるためのいくつかの技術を新たに開発し、示している。

現在世界最速のビデオカメラは、2001年に近畿大学と島津製作所(株)が共同して開発した約8万画素で白黒の100万枚/秒のビデオカメラ、および2004年に近畿大学とNHKが共同で開発した30万画素でカラーの100万枚/秒のビデオカメラである。これらのカメラにより、高速現象であるためにこれまで実際に目で見て観察し、分析することが困難であった様々の現象を可視化できるようになり、新しい研究領域が広がった。固体材料については、亀裂の急速な発生と進展による材料の破壊現象、材料の表面を進む超音波の可視化による内部欠陥の検出、流体ではショックウエーブやキャビテーションの発生から消滅までの過程の可視化、レーザー加工時のアブレーションとアブレーションクラウドの中の科学反応、バイオサイエンスでは、神経系の情報伝達の可視化などが可能になった。

一方でこれらのビデオカメラを使ったユーザーからは、より高速、高感度、高画素のビデオカメラの開発が要望されるようになった。これらのビデオカメラは既に開発後10年および6年が経過しており、急速な電子技術の発展を考えればさらなる高性能の超高速ビデオカメラの開発を目指した研究は時宜を得たものと言える。

本論文は、著者の複数の原著論文を基礎にして書かれている。そのうち本論文の著者が第1著者、もしくは第2著者の審査付き論文4編である。その内容は以下の通りである。まずそれらの内容と意義を説明する。

1. 大規模CCDのRC遅れの評価技術
2. 高速CCD撮像素子のインダクタンスの低減技術
3. 各画素における信号電子の移動速度の高速化技術
4. 超高速撮影された画像信号を撮像素子内で積算できる撮像素子

最初の3論文は1億枚/秒の撮影速度を実現するために開発した基礎技術について述べている。4番目の論文は超高速であることに加えて、高いSN比を実現するために開発した技術について述べている。

まず最初の論文ではRC遅れの簡便で正確な評価技術を開発し、それを実際の撮像素子の設計に適用して、RC遅れが10ns(1億枚/秒相当)以下となる配線構造の撮像素子を設計している。標準回路シミュレータSPICEを使って正確な配線RCを求めることができるが、回路規模が大きいCCDでは膨大な時間がかかる。最適化には膨大なケースのシミュレーションが必要であり実用的でない。本論文では、超高速CCDであるISISの配線構造に特化して、解析精度の高い簡単な完結型のモデルを提案している。この式は陽形式であり、配線設計時に遅延の概算が出来る。

第2の論文では、高速CCD撮像素子のインダクタンスの低減技術について述べている。これまで集積回路の設計ではGHzオーダーの高速動作ではインダクタンスの影響を考える必要があることが指摘されていた。しかし大規模なCCDでは容量負荷が数十nFオーダーとなり、受光面をブロックに分割して駆動電圧を供給する場合でも1駆動回路当たりnFオーダーの容量を駆動する必要がある。このとき100MHzで駆動すると10Aオーダーの巨大な電流が流れ、大きなインダクタンスが生じる。本論文では、この効果を詳細に解析しており、またその影響を無くす技術を提案している。

第3の論文では、他に先駆けて裏面照射の技術を推進しており、裏面で発生した信号電荷を表面の電荷集積ゲートへ高速に移送する各種技術を提案している。この技術は2つの技術から成っている。すなわち裏面から表面に向けて滑らかに濃度が変わ

り、これにより信号電荷を高速で表面に移送する技術と、表面に近づいたときに電荷収集ゲートまで信号電荷を導くためのp-well構造の設計手法である。

第4の論文では超高速画像信号積算素子を提案している。超高速撮影では光量不足から撮影困難となる場合がある。このような場合でも再現性の強い現象では、繰り返し実験を行い、得られた画像信号を加算することにより、意味のある信号を抽出できる。ただし画像信号を読み出す度に読み出し雑音を加算される。CCD型撮像素子では冷却により読み出し雑音以外の雑音(案電流等)は無視できるレベルに下げることができる。したがって繰り返し撮影実験において、画像信号を撮像素子から読み出すことなく、撮像素子内で加算できれば効果的にSN比を上げることができる。

以上の他に各論文内には関連して開発されたいくつかの新技术が紹介されている。1例として撮像素子内蔵画像トリガーを紹介する。

超高速ビデオ撮影では撮影対象現象と撮影タイミングを合わせる事が課題の一つとなる。この問題を解決するために、これまで開発したISISにおいては連続書き記録機能を導入し、連続撮影中に撮影対象が生じたことを示すトリガー信号を受けて、撮影を停止し、撮像素子内に記録されている画像信号を過去にさかのぼって読み出し、連続画像として再生することができるようにしている。これまでは、現象が生じた際の音(破裂音、衝突音等)や、レーザービームの遮断等を検出して撮影停止トリガー信号を出していた。しかし顕微鏡下の撮影等においては現象の生起を検出するための適切な現象を見出すのが難しい場合が多い。

本論文では受光面を4ブロックに分け、各ブロックの全受光量の5%で発生する全電荷を時々刻々、4つの端子から別々に、撮像素子外に一斉に排出する構造を導入している。この電荷をモニタリングすれば、4ブロックの受光面のいずれかで急激な変化が生じたときの平均輝度の変化を瞬時に検出することができる。これまでは、カメラシステムとは別に撮影停止トリガー信号システムが必要であった。撮像素子内蔵画像トリガーの導入により、撮影システムが簡素化できる。

以上のごとく、本論文は現在世界最高速である100万コマ/秒のビデオカメラの100倍の撮影速度を持つ1億枚/秒のビデオカメラを実現するための基礎技術と、さらなる高機能化のための技術を開発・提案しており、極めて高い学術的・実用的内容を含んでいる。したがって本論文は博士(工学)を授与するに十分な内容であると評価された。